

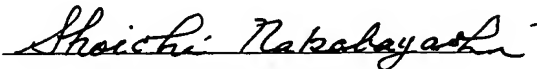


DECLARATION

I, Shoichi Nakabayashi, of PALMO International Patent Firm, 14-1, 2-chome, Minamitsukaguchi-Cho, Amagasaki-Shi, Hyogo 661-0012 JAPAN, hereby declare that I am conversant with the Japanese and English language, and that, to the best of my knowledge and belief, the attached document is a faithful translation of the documents filed in connection with Japanese Patent Application No.P2000-193453 on June 27, 2000.

Place: Hyogo, JAPAN

Dated this 14th day of June, 2004


Shoichi Nakabayashi

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application: June 27, 2000

Application Number: Japanese Patent Application No. P2000-193453

Applicant(s): KABUSHIKI KAISHA ADVANCED DISPLAY

June 7, 2004

Commissioner, Yasuo IMAI
Patent Office

Certificate No.: Certificate P2004-3049017

【NAME OF DOCUMENT】 Patent Application

【REFERENCE NUMBER】 A199070901

【FILING DATE】 June 27, 2000

【ADDRESS】 The Commissioner of the Patent Office

【INTERNATIONAL CLASSIFICATION】 H02F 1/136

【INVENTOR】

【DOMICILE OR REGIDENCE】 c/o KABUSHIKI KAISHA ADVANCED
DISPLAY, 997, Miyoshi, Nishigoshi-machi, Kikuchi-gun, Kumamoto JAPAN

【NAME】 Takafumi HASHIGUCHI

【INVENTOR】

【DOMICILE OR REGIDENCE】 c/o KABUSHIKI KAISHA ADVANCED
DISPLAY, 997, Miyoshi, Nishigoshi-machi, Kikuchi-gun, Kumamoto JAPAN

【NAME】 Takehisa YAMAGUCHI

【INVENTOR】

【DOMICILE OR REGIDENCE】 c/o KABUSHIKI KAISHA ADVANCED
DISPLAY, 997, Miyoshi, Nishigoshi-machi, Kikuchi-gun, Kumamoto JAPAN

【NAME】 Naoki NAKAGAWA

【PATENT APPLICANT】

【IDENTIFICATION NUMBER】 595059056

【NAME OR TITLE】 KABUSHIKI KAISHA ADVANCED DISPLAY

【AGENT】

【IDENTIFICATION NUMBER】 100073759

【PATENT ATTORNEY】

【NAME OR TITLE】 Masuo OIWA

【FEES】

【PREPAYMENT REGISTRATION NUMBER】 035264

【AMOUNT OF PAYMENT】 21,000 Yen

【CATALOGUE OF ARTICLE FILED】

【NAME OF ARTICLE】 Specification 1

【NAME OF ARTICLE】 Drawings 1

【NAME OF ARTICLE】 Abstract 1

【GENERAL POWER NUMBER】 9503153

【PROOF REQUIRED OR NOT】 Required

【Document name】 Specification

【Title of the invention】 TFT Array Substrate and Liquid Crystal Display Device Using It

【Claims】

【Claim 1】 A TFT array substrate comprising;

a plurality of gate lines formed on an insulative substrate ,
each of the gate lines includes a gate electrode,

a plurality of source lines crossing the gate lines, each
of the source lines includes a source electrode,

a semiconductor layer formed on the gate electrode with
a gate insulating film interposed in between,

a thin-film transistor formed by the source electrode and
a drain electrode, the source electrode and the drain electrode
are connected to the semiconductor layer, and

a pixel electrode connected to a drain line extending from
the drain electrode,

characterized in that;

the width of a crossing portion of the semiconductor layer
and the width of a crossing portion of the drain line overlapping
with the semiconductor layer that cross an edge line of the gate
electrode are made smaller than the width of the drain electrode
that is equal to a channel width of the thin-film transistor.

【Claim2】 The TFT array substrate according to claim 1,
characterized in that the drain electrode and the drain line
have portions that are located over the gate electrode and do

not coextend with the semiconductor layer.

【Claim 3】 A TFT array substrate comprising;

a plurality of gate lines formed on an insulative substrate, each of the gate lines includes a gate electrodes,

a plurality of source lines crossing the gate lines, each of the source lines includes a source electrodes,

a semiconductor layer formed on the gate electrode with a gate insulating film interposed in between,

a thin-film transistor formed by the source electrode and a drain electrode, the source electrode and the drain electrode are connected to the semiconductor layer, and

a pixel electrode having a pixel line connected to the drain electrode,

characterized in that;

the width of a crossing portion of the semiconductor layer and the width of a crossing portion of the pixel line overlapping with the semiconductor layer that cross an edge line of the gate electrode are made smaller than the width of the drain electrode that is equal to a channel width of the thin-film transistor.

【Claim 4】 The TFT array substrate according to claim 3, characterized in that the electrode and the pixel line have portions that are located over the gate electrode and do not coextend with the semiconductor layer.

【Claim 5】 A TFT array substrate comprising;

a plurality of gate lines formed on an insulative substrate,

each of the gate lines includes a gate electrode,

a plurality of source lines crossing the gate lines, each of the source lines includes a source electrodes,

a semiconductor layer formed on the gate electrodes with a gate insulating film interposed in between,

a thin-film transistor formed by the source electrode and a drain electrode, the source electrode and the drain electrode are connected to the semiconductor layer, and

a pixel electrode having a pixel line connected to the drain electrode,

characterized in that;

the width of a crossing portion of the pixel line that crosses an end line of the gate electrode is made smaller than the width of the drain electrode that is equal to a channel width of the thin-film transistor.

【Claim 6】 The TFT array substrate according to claim 5, characterized in that the drain electrode has a portion that is located over the gate electrode and does not coextend with the semiconductor layer.

【Claim 7】 A liquid crystal display device characterized in that a liquid crystal is interposed between the TFT array substrate according to any one of claim 1 to 6 and a counter electrode substrate having a transparent electrode, color filters, etc. or a counter electrode substrate having a transparent electrode.

【Detail explanation of the invention】

【0001】

【Technical field to which the invention belong】

The present invention relates to an active matrix TFT array substrate incorporating thin-film transistors (hereinafter referred to as "TFTs") as switching elements as well as to a liquid crystal display device using it.

【0002】

【Prior Art】

Fig. 7(a) is a plan view showing one pixel of a conventional TFT array substrate, Fig. 7(b) is a plan view showing a TFT portion as a switching element, and Fig. 7(c) is a sectional view taken along line D-D' in Fig. 7(b). In the figures, reference numeral 1 denotes a transparent insulative substrate; 2, a plurality of gate lines formed on the transparent insulative substrate 1 and gate electrodes provided in the gate lines; 3, a plurality of source lines that have source electrodes 7 and cross the gate lines 2; and 5, a semiconductor layer formed on each gate electrode 2 with a gate insulating film 4 interposed in between. A source electrode 7 and a drain electrode 6 that are connected to the semiconductor layer 5 constitute a TFT. Reference numeral 8 denotes a pixel electrode that is a transparent conductive film and is connected to the drain electrode 6 through a contact hole 10 that is formed through an interlayer insulating film 9. Reference numeral 11 represents a channel width.

A manufacturing method of the conventional TFT array

substrate will be described below briefly. Firstly, a metal film of Cr or the like is deposited on a transparent insulative substrate 1 by sputtering method or the like and then patterned by photolithography method or the like, whereby gate lines 2 including gate electrodes are formed. Then, a gate insulating film 4 and a semiconductor layer 5 are deposited consecutively by plasma CVD method or the like. After semiconductor layers 5 are patterned, a metal film is deposited and drain electrodes 6, source electrodes 7, and source lines 3 are formed. Then, an interlayer insulating film 9 made of silicon nitride or the like is formed so as to cover the TFTs. After contact holes 10 are formed, pixel electrodes 8 that are transparent conductive films made of ITO or the like are formed by sputtering method or the like. A TFT array substrate is thus completed.

【0003】

【Problem to be resolved by the invention】

A liquid crystal display device performs video display by controlling a liquid crystal interposed between the above-described TFT array substrate and a counter electrode substrate according to voltages that are applied between the pixel electrodes 8 on the array substrate and the counter electrode. In this case, if the voltages applied to the pixel electrodes 8 vary in the display area, display defects such as luminance unevenness, shot unevenness, a flicker, etc. may occur.

Fig. 8 shows a relationship between a pixel electrode

voltage and each signal voltage. In the figure, reference character A denotes a gate electrode voltage, B denotes a pixel electrode voltage, and C denotes a source electrode voltage. In a charging period in which the gate electrode voltage A turns on the TFT, the pixel electrode voltage B is applied to the source electrode 7 and transmitted to the pixel electrode 8 via the drain electrode 6. The pixel electrode voltage B reaches the source electrode voltage C in the charging period. However, when the gate electrode voltage A turns off as a transition occurs from the charging period to a holding period, the pixel electrode voltage B lowers due to capacitance coupling etc. This voltage drop at the pixel electrode 8 is a feedthrough voltage D, which is expressed by the following equation in a simplified manner. In the equation, ΔV_{gd} is a feedthrough voltage, C_{gd} is a parasitic capacitance between the gate electrode and the drain electrode, C_s is an auxiliary capacitance of the pixel electrode, and C_{lc} is a liquid crystal capacitance.

$$\Delta V_{gd} = \Delta V \times C_{gd} / (C_{lc} + C_s + C_{gd})$$

【0004】

One of factors of varying the feedthrough voltage in the display area is a variation of the parasitic capacitance (hereinafter referred to as C_{gd}) between the gate electrode 2 and the drain electrode 6. In the array substrate in which the pixels and the TFTs are arranged in matrix form, each pattern is formed by photolithography method and one manufacturing step

is completed by using a plurality of shots. If an alignment error occurs in each shot in a photolithography apparatus, the pattern arrangement relationships among the gate electrode 2, the semiconductor layer 5, the source electrode 7, the drain electrode 6, etc. vary from one shot to another. Therefore, C_{gd} which is determined by the overlap area of the gate electrode 2 and the drain electrode 6 varies from one shot to another. As a result, the feedthrough voltage varies from one shot to another and shot unevenness, a flicker, etc. become easy to recognize visually. Further, a portion of the semiconductor layer 5 that is located over the gate line 2 and is located outside the drain electrode 6 is kept at the same potential as the potential of the drain electrode 6 until the gate electrode voltage A turns off. This also contributes to the C_{gd} variation.

In the conventional TFT structure shown in Fig. 7, alignment errors in the direction parallel with the channel width 11 direction of the TFT cause only small variations in the areas of overlap between the gate line 2, the drain electrode 6, and the semiconductor layer 5. However, there is a problem that no consideration is given to alignment errors in the direction perpendicular to the channel width 11 and such alignment errors cause large variations in areas. Further, in the conventional structure, the load capacitance of the gate line 2 is large. It is desired to decrease it.

Japanese laid Opened Patent Publication No. HEI 2-10331,

for example, proposes a TFT array substrate in which that part of a drain electrode which is formed, with a gate insulating film interposed in between, on a step portion that is formed by the presence of a gate electrode is made narrower than the other portion of the drain electrode, to thereby prevent short-circuiting between layers arranged in the vertical direction that would otherwise occur due to the presence of the step portion. However, this publication has no disclosure relating to the width of a semiconductor layer on the step portion.

【0005】

The present invention has been made to solve the above problems, and an object of the invention is to provide a TFT array substrate having a large aperture ratio in which the frequency of occurrence of display defects such as shot unevenness and a flicker due to alignment errors in a photolithography apparatus in an array substrate manufacturing process can be decreased and the load capacitance of the gate line can be reduced, as well as a liquid crystal display device using it.

【0006】

【Means to solve the problem】

Means provided by the invention to solve the above problems will be described below. The invention provides a TFT array substrate comprising a plurality of gate lines formed on an insulative substrate, each of the gate lines including a gate electrode, a plurality of source lines crossing the gate lines,

each of the source lines including a source electrode, a semiconductor layer formed on the gate electrode with a gate insulating film interposed in between, a thin-film transistor formed by the source electrode and a drain electrode, the source electrode and the drain electrode are connected to the semiconductor layer, and a pixel electrode connected to a drain line extending from the drain electrode, characterized in that the widths of crossing portions of the semiconductor layer and the drain line overlapping with it that cross an edge line of the gate electrode are made smaller than the width of the drain electrode that is equal to a channel width of the thin-film transistor.

Further, the drain electrode and the drain line have portions that are located over the gate electrode and do not coextend with the semiconductor layer.

【0007】

The invention also provides a TFT array substrate comprising a plurality of gate lines formed on an insulative substrate, each of the gate lines including a gate electrode, a plurality of source lines crossing the gate lines, each of said source lines including a source electrode, a semiconductor layer formed on the gate electrode with a gate insulating film interposed in between, a thin-film transistor formed by the source electrode and a drain electrode, the source electrode and the drain electrode are connected to the semiconductor layer, and

a pixel electrode having a pixel line connected to the drain electrode, characterized in that the widths of crossing portions of the semiconductor layer and the pixel line overlapping with it that cross an edge line of the gate electrode are made smaller than the width of the drain electrode that is equal to a channel width of the thin-film transistor.

Further, the drain electrode and the pixel line have portions that are located over the gate electrode and do not coextend with the semiconductor layer.

【0008】

The invention also provides a TFT array substrate comprising a plurality of gate lines formed on an insulative substrate, each of the gate lines including a gate electrode, a plurality of source lines crossing the gate lines, each of the source lines including a source electrode, a semiconductor layer formed on the gate electrode with a gate insulating film interposed in between, a thin-film transistor formed by the source electrode and a drain electrode, the source electrode and the drain electrode are connected to the semiconductor layer, and a pixel electrode having a pixel line connected to the drain electrode, characterized in that the width of a crossing portion of the pixel line that crosses an edge line of the gate electrode is made smaller than the width of the drain electrode that is equal to a channel width of the thin-film transistor.

Further, the drain electrode has a portion that is located

over the gate electrode and does not coextend with the semiconductor layer.

【0009】

A liquid crystal display device characterized in that a liquid crystal is interposed between one of the above TFT array substrates and a counter electrode substrate having a transparent electrode, color filters, etc. or a counter electrode substrate having a transparent electrode.

【0010】

【Description of preferred embodiments of the invention】

Embodiment 1

Embodiments of the present invention will be hereinafter described with reference to the drawings. Fig. 1(a) is a plan view showing a TFT portion as a switching element of a TFT array substrate according to a first embodiment of the invention, and Fig. 1(b) is a sectional view taken along line A-A' in Fig. 1(a).

In the figures, reference numeral 1 denotes a transparent insulative substrate; 2, a plurality of gate lines formed on the transparent insulative substrate 1 and gate electrodes provided in the gate lines; and 3, a plurality of source lines that have source electrodes 7 and cross the gate lines 2. Reference numeral 5 denotes a semiconductor layer formed on each gate electrode 2 with a gate insulating film 4 interposed in between. A source electrode 7 and a drain electrode 6 that are connected to the semiconductor layer 5 constitute a TFT.

Reference numeral 8 denotes a pixel electrode that is a transparent conductive film and is connected to a drain line 6a extending from the drain electrode 6 through a contact hole 10 that is formed through an interlayer insulating film 9. Reference numeral 11 represents a channel width of the TFT.

In this embodiment, the widths of those crossing portions of the semiconductor layer 5 and the drain line 6a overlapping with it which cross the edge line of the gate electrode 2 are made smaller than the width of the drain electrode 6 that is equal to the channel width 11 of the TFT.

【0011】

A manufacturing method of the TFT array substrate according to this embodiment will be described below briefly. Firstly, a metal film of Cr or the like is deposited on a transparent insulative substrate 1 by sputtering method or the like. After a resist is exposed to light by photolithography method or the like, the metal film is patterned, whereby gate lines 2 including gate electrodes are formed. Then, a gate insulating film 4 and a semiconductor layer 5 are deposited consecutively by plasma CVD method or the like. After the semiconductor layer 5 is patterned, a metal film of Cr or the like is deposited by sputtering method or the like and drain electrodes 6, drain lines 6a, source lines 3, and source electrodes 7 are formed. Then, an interlayer insulating film 9 made of silicon nitride or the like is formed so as to cover the TFTs. After contact holes 10 to be used for

connecting the drain lines 6a to the respective pixel electrodes 8 are formed, a transparent conductive film made of ITO or the like is formed by sputtering method or the like and pixel electrodes 8 are patterned. A TFT array substrate according to this embodiment is thus completed. A liquid crystal display device according to this embodiment is obtained by interposing a liquid crystal between this TFT substrate and a counter electrode substrate having a transparent electrode, color filters, etc. or a counter electrode substrate having a transparent electrode.

【0012】

In this embodiment, the widths of those crossing portions of the semiconductor layer 5 and the drain line 6a overlapping with it which cross the edge line of the gate electrode 2 are made smaller than the width of the drain electrode 6 that is equal to the channel width 11 of the TFT. With this measure, differences in the overlap area of the gate electrode 2 and the drain electrode 6 between shots that occur due to alignment errors in a photolithography apparatus used in patterning the gate electrodes 2, the drain electrodes 6, and the source electrodes 7 become smaller than in the conventional TFT structure (see Fig. 7(b)). Therefore, the variation of C_{gd} which is a parameter representing the feedthrough voltage can be reduced and the frequency of occurrence of display defects such as shot unevenness and a flicker can be decreased. Further, also decreasing the width of the semiconductor layer 5 bridging the end of the gate

electrode 2 that contributes to Cgd can prevent a Cgd variation. In particular, whereas in the conventional TFT structure consideration is given to only alignment errors in the direction parallel with the channel width direction, in this embodiment consideration is given to alignment errors in the direction perpendicular to it. As such this embodiment can reduce a Cgd variation in every direction.

The portion of the semiconductor layer 5 that is formed over the gate electrode 2 contributes to Cgd. In a range that the distance L1 between one sideline of the drain electrode 6 and one sideline of the semiconductor layer 5 is longer than about 5 μm , the feedthrough voltage due to the semiconductor layer 5 increases steeply with respect to the distance L1. Therefore, it is desirable that L1 be designed so as to be smaller than 5 μm .

The conventional TFT structure has a problem that short-circuiting tends to occur between the gate electrode 2 and the drain electrode 6 in the step portion where the drain electrode 6 bridges the end of the gate electrode 2 with the gate insulating film 4 interposed in between. In contrast, in this embodiment, since the drain line 6a is employed and hence the drain electrode is made narrower in the step portion, the probability of occurrence of short-circuiting can be decreased. Further, disconnection can also be prevented by making the drain line 6a thicker.

【0013】

Embodiment 2

Fig. 2 is a plan view showing a TFT portion as a switching element of a TFT array substrate according to a second embodiment of the invention. The same or corresponding parts are given the same symbols in the figure and will not be described.

In this embodiment, as same as the first embodiment, the widths of those crossing portions of the semiconductor layer 5 and the drain line 6a overlapping with it which cross the edge line of the gate electrode 2 are made smaller than the width of the drain electrode 6 that is equal to the channel width 11 of the TFT. In addition, the drain electrode 6 and the drain line 6a have portions that are located over the gate electrode 2 and do not coextend with the semiconductor layer 5. With this measure, the area of the portion of the semiconductor layer 5 that is located over the gate electrode 2 and is located outside the drain electrode 6 is made smaller than in the first embodiment.

【0014】

In the above-described TFT structure according to the first embodiment (see Fig. 1(a)), the area of the portion of the semiconductor layer 5 that is located over the gate electrode 2 and is located outside the drain electrode 6 is large and hence it may influence the feedthrough voltage. In view of this, in the embodiment, the drain electrode 6 and the drain line 6a have the portions that are located over the gate electrode 2 and do

not coextend with the semiconductor layer 5, whereby the area of the portion of the semiconductor layer 5 that is located outside the drain electrode 6, that is, the portion of the semiconductor layer 5 that will have the same potential as the drain electrode 6 will. As a result, the value of C_{gd} which is a parameter representing the feedthrough voltage is almost entirely determined by the overlap area of the drain electrode 6 and the gate electrode 2.

【0015】

This embodiment provides the following advantage in addition to the advantages of the first embodiment. By decreasing the area of the portion of the semiconductor layer 5 that is located outside the drain electrode 6, the capacitance formed by the gate electrode 2 and the portion of the semiconductor layer 5 that is located outside the drain electrode 6 can be reduced (this capacitance contributes to C_{gd}). Therefore, the feedthrough voltage is prevented from increasing and the frequency of occurrence of shot unevenness and a flicker can further be decreased.

【0016】

Embodiment 3

Fig. 3(a) is a plan view showing a TFT portion as a switching element of a TFT array substrate according to a third embodiment of the invention, and Fig. 3(b) is a sectional view taken along line B-B' in Fig. 3(a). In the figures, reference symbol 8a

denotes a pixel line that extends from the pixel electrode 8 and is connected to the drain electrode 6. In the figures, the same or corresponding parts are given the same symbols. The manufacturing method of the TFT array substrate according to this embodiment is approximately the same as in the first embodiment except that pixel electrodes 8 having pixel lines 8a are patterned and the pixel lines 8a are connected to drain electrodes 6 through contact holes 10, and hence will not be described.

【0017】

In this embodiment, in the TFT array substrate in which the drain electrode 6 of the TFT is formed on the semiconductor layer 5 that is formed on the gate electrode 2, the contact hole 10 is formed above the drain electrode 6, and the drain electrode 6 is electrically connected to the pixel line 8a, the widths of those crossing portions of the semiconductor layer 5 and the pixel line 8a overlapping with it which cross the edge line of the gate electrode 2 are made smaller than the width of the drain electrode 6 that is equal to the channel width 11 of the TFT. With this measure, differences in the area of overlap between the gate electrode 2 and the drain electrode 6 (and the pixel line 8a) between shots that occur due to alignment errors in a photolithography apparatus become smaller than in the conventional TFT structure (see Fig. 7(b)). Therefore, the variation of C_{gd} which is a parameter representing the feedthrough

voltage can be reduced and the frequency of occurrence of shot unevenness and a flicker can be decreased.

The portion of the semiconductor layer 5 that is formed over the gate electrode 2 contributes to Cgd. In a range that the distance L2 between one sideline of the drain electrode 6 and one sideline of the semiconductor layer 5 (see Fig. 3(a)) is longer than about 5 μm , the feedthrough voltage due to the semiconductor layer 5 increases steeply with respect to the distance L2. Therefore, it is desirable that L2 be designed so as to be smaller than 5 μm .

【0018】

Embodiment 4

Fig. 4 is a plan view showing a TFT portion as a switching element of a TFT array substrate according to a fourth embodiment of the invention. The same or corresponding parts are given the same symbols in the figure and will not be described.

In this embodiment, as in the third embodiment, the widths of those crossing portions of the semiconductor layer 5 and the pixel line 8a overlapping with it which cross the edge line of the gate electrode 2 are made smaller than the width of the drain electrode 6 that is equal to the channel width 11 of the TFT. In addition, the drain electrode 6 and the electrode line 8a have portions that are located over the gate electrode 2 and do not coextend with the semiconductor layer 5. With this measure, the area of the portion of the semiconductor layer 5 that is

located over the gate electrode 2 and is located outside the drain electrode 6 and the pixel line 8a is made smaller than in the third embodiment.

This embodiment provides the following advantage in addition to the advantages of the third embodiment. The capacitance formed by the gate electrode 2 and the portion of the semiconductor layer 5 that is located outside the drain electrode 6 and the pixel line 8a can be reduced (this capacitance contributes to C_{gd}). Therefore, the feedthrough voltage is prevented from increasing and the frequency of occurrence of shot unevenness and a flicker can further be decreased.

【0019】

Embodiment 5

Fig. 5(a) is a plan view showing a TFT portion as a switching element of a TFT array substrate according to a fifth embodiment of the invention, and Fig. 5(b) is a sectional view taken along line C-C' in Fig. 5(a). The same or corresponding parts are given the same symbols in the figures and will not be described.

In this embodiment, in the TFT array substrate in which the drain electrode 6 of the TFT is formed on the semiconductor layer 5 that is formed on the gate electrode 2, the contact hole 10 is formed above the drain electrode 6, and the drain electrode 6 is electrically connected to the pixel line 8a, the width of the crossing portion at the step portion of the pixel line 8a that crosses the edge line of the gate electrode 2 is made smaller

than the width of the drain electrode 6 that is equal to the channel width 11 of the TFT. With this measure, differences in the area of overlap between the gate electrode 2 and the drain electrode 6 (and the pixel line 8a) between shots that occur due to alignment errors in a photolithography apparatus become smaller than in the conventional TFT structure (see Fig. 7(b)). Therefore, the variation of C_{gd} which is a parameter representing the feedthrough voltage can be reduced and the frequency of occurrence of shot unevenness and a flicker can be decreased.

The portion of the semiconductor layer 5 that is formed over the gate electrode 2 contributes to C_{gd} . In a range that the distance $L3$ between one sideline of the drain electrode 6 and one sideline of the semiconductor layer 5 (see Fig. 5A) is longer than about $5\text{ }\mu\text{m}$, the feedthrough voltage due to the semiconductor layer 5 increases steeply with respect to the distance $L3$. Therefore, it is desirable that $L3$ be designed so as to be smaller than $5\text{ }\mu\text{m}$.

【0020】

Embodiment 6

Fig. 6 is a plan view showing a TFT portion as a switching element of a TFT array substrate according to a sixth embodiment of the invention. The same or corresponding parts are given the same symbols in the figure and will not be described.

In this embodiment, as in the fifth embodiment, the width of the crossing portion of the pixel line 8a that crosses the

edge line of the gate electrode 2 is made smaller than the width of the drain electrode 6 that is equal to the channel width 11 of the TFT. In addition, the drain electrode 6 has a portion that is located over the gate electrode 2 and does not coextend with the semiconductor layer 5. With this measure, the area of the portion of the semiconductor layer 5 that is located over the gate electrode 2 and is located outside the drain electrode 6 is made smaller than in the fifth embodiment.

This embodiment provides the following advantage in addition to the advantages of the fifth embodiment. The capacitance formed by the gate electrode 2 and the portion of the semiconductor layer 5 that is located outside the drain electrode 6 can be reduced (this capacitance contributes to C_{gd}). Therefore, the feedthrough voltage is prevented from increasing and the frequency of occurrence of shot unevenness and a flicker can further be decreased.

【0021】

The shapes of the drain electrode 6, the drain line 6a, the pixel line 8a, and the semiconductor layer 5 in the first to sixth embodiments are not limited to those shown in the figures. Similar advantages are expected with arbitrary patterns as long as the width of the portion of the drain line 6a or the pixel line 8a that bridges the end of the gate line 2 is smaller than the width of the drain electrode 6 that is equal to the channel width 11 of the TFT.

In designing patterns of the gate electrode 2, the semiconductor layer 5, and the drain electrode 6 that constitute the TFT, it is desirable to make a variation of the feedthrough voltage due to occurrence of alignment errors between shots smaller than about 150 mV.

The application range of the invention is not limited to the TFT structures described in the above first to sixth embodiments. For example, similar advantages can be obtained also in a TFT in which a drain electrode and a source electrode are formed over a projection-shaped gate electrode extending from a gate line, by making the widths of those portions of a semiconductor layer and a drain line or a metal pattern such as a pixel line that is electrically connected to a pixel which belong to a step portion that is formed by presence of the gate electrode smaller than the channel width of the TFT.

【0022】

【The effect of the invention】

Advantages of the invention will be described below. As described above, according to the invention, in a TFT array substrate comprising a plurality of gate lines formed on an insulative substrate, each of the gate lines including a gate electrode, a plurality of source lines crossing the gate lines, each of the source lines including a source electrode, a semiconductor layer formed on the gate electrode with a gate insulating film interposed in between, a thin-film transistor

formed by the source electrode and a drain electrode, the source electrode and drain electrode are connected to the semiconductor layer, and a pixel electrode connected to a drain line extending from the drain electrode, the widths of crossing portions of the semiconductor layer and the drain line overlapping with it that cross an edge line of the gate electrode are made smaller than the width of the drain electrode that is equal to a channel width of the thin-film transistor. Therefore, differences in the overlap area of the gate electrode and the drain electrode between shots that occur due to alignment errors in a photolithography apparatus used in patterning the gate electrodes, the drain electrodes, and the source electrodes become small, whereby the variation of the parasitic capacitance which is a parameter representing the feedthrough voltage can be reduced and hence the frequency of occurrence of display defects such as shot unevenness and a flicker can be decreased.

【0023】

Further, the drain electrode and the drain line have a portions that are located over the gate electrode and do not coextend with the semiconductor layer. Therefore, the area of the semiconductor layer that is located outside the drain electrode and the drain line becomes small and the capacitance formed by the gate electrode and the portion of the semiconductor layer that is located outside the drain electrode becomes small and hence has almost no influence on the feedthrough voltage.

Therefore, the frequency of occurrence of display defects such as shot unevenness and a flicker can further be decreased. Still further, the invention can make the load capacitance of the gate lines smaller than in the conventional TFT structure. In addition, employment of the pixel line makes it possible to provide a TFT array substrate having a larger aperture ratio than conventional ones do, as well as a liquid crystal display device having superior display characteristics.

【Brief description of the drawings】

【Fig.1】 Fig. 1 is a plan view and a sectional view showing the structure of a TFT array substrate according to a first embodiment of the present invention;

【Fig.2】 Fig. 2 is a plan view showing a TFT portion as a switching element of a TFT array substrate according to a second embodiment of the invention;

【Fig.3】 Fig. 3 is a plan view and a sectional view showing the structure of a TFT array substrate according to a third embodiment of the present invention;

【Fig.4】 Fig. 4 is a plan view showing a TFT portion as a switching element of a TFT array substrate according to a fourth embodiment of the invention;

【Fig.5】 Fig. 5 is a plan view and a sectional view showing the structure of a TFT array substrate according to a fifth embodiment of the present invention;

【Fig.6】 Fig. 6 is a plan view showing a TFT portion as

a switching element of a TFT array substrate according to a sixth embodiment of the invention;

【Fig.7】 Fig. 7 is plan views and a sectional view showing the structure of a conventional TFT array substrate; and

【Fig.8】 Fig. 8 shows a relationship between a pixel electrode voltage and each signal voltage.

【Description of reference numerals and sings in the drawings】

1:transparent insulative substrare,

2:gate electrode and gate line, 3: source line,

4:gate insulating film, 5:semiconductor layer,

6:drain electrode, 6a:drain line, 7:source electrode,

8:pixel electrode, 8a:pixel line,

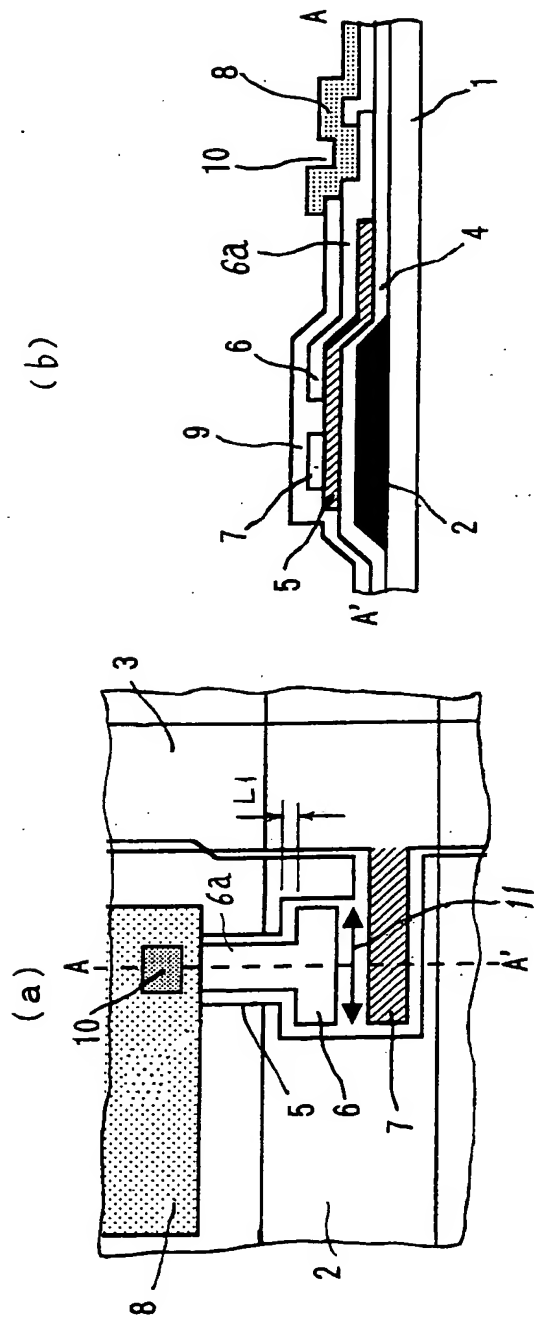
9:interlayer insulating film,

10: contact hole, 11: channel width.

【Document name】 Drawings

【書類名】 図面

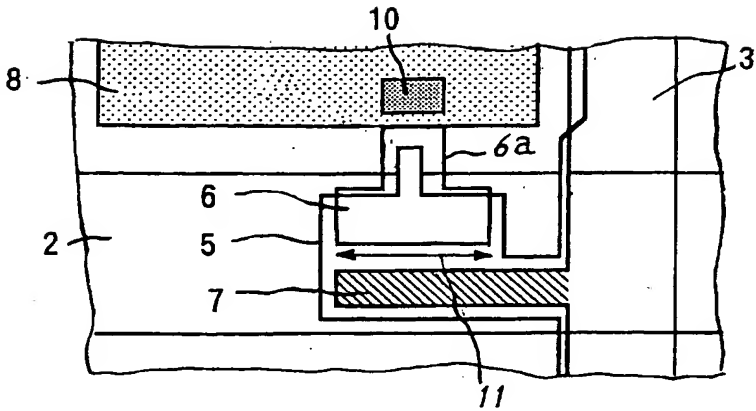
【図1】 【Fig.1】



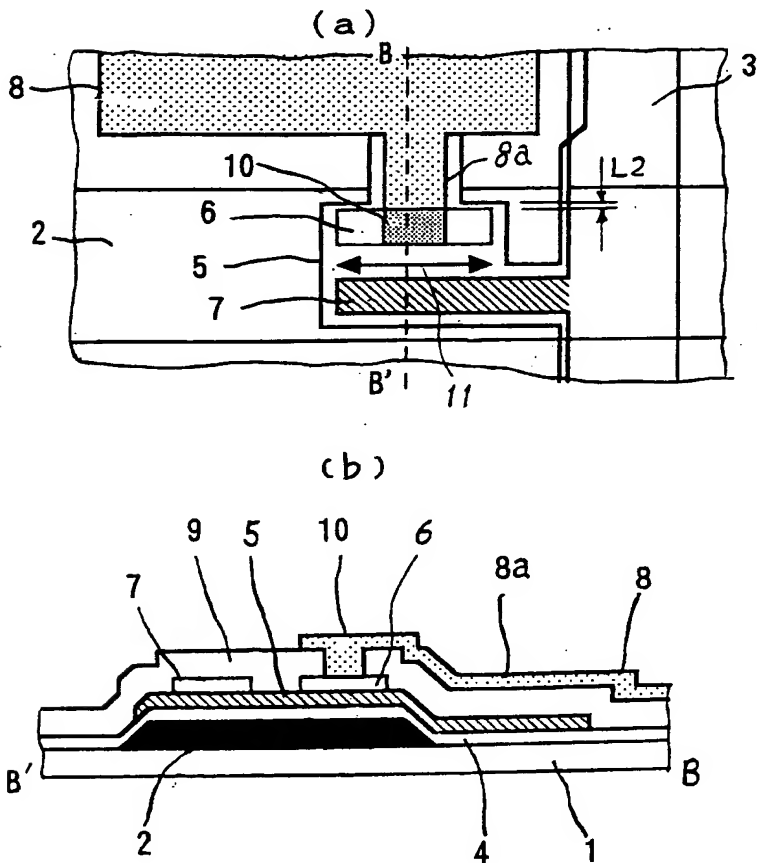
- | | | | |
|---|-------------|-----|----------|
| 1 | 絶縁性基板 | 6 a | ドレイン配線 |
| 2 | ゲート電極、ゲート配線 | 7 | ソース電極 |
| 3 | ソース配線 | 8 | 画素電極 |
| 4 | ゲート絶縁膜 | 9 | 層間絶縁膜 |
| 5 | 半導体層 | 10 | コンタクトホール |
| 6 | ドレイン電極 | 11 | チャネル幅 |

- | | |
|------------------------------------|------------------------------|
| 1:transparent insulative substrate | 6a:drain line |
| 2:gate electrode, gate line | 7:source electrode |
| 3:source line | 8:pixel electrode, |
| 4:gate insulating film | 9:interlayer insulating film |
| 5:semiconductor layer | 10:contact hole |
| 6:drain electrode | 11: channel width |

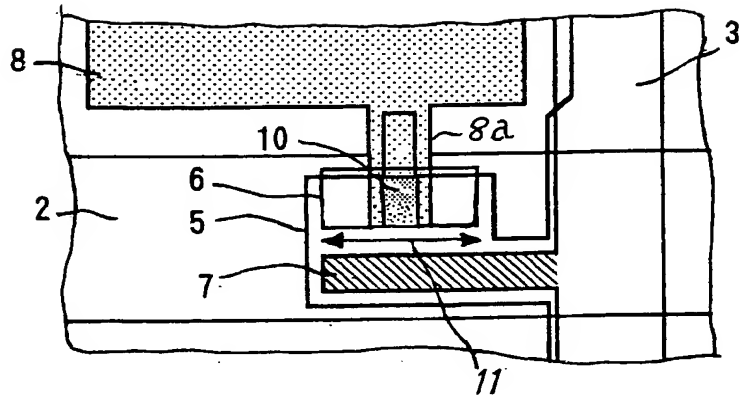
【図 2】 【Fig.2】



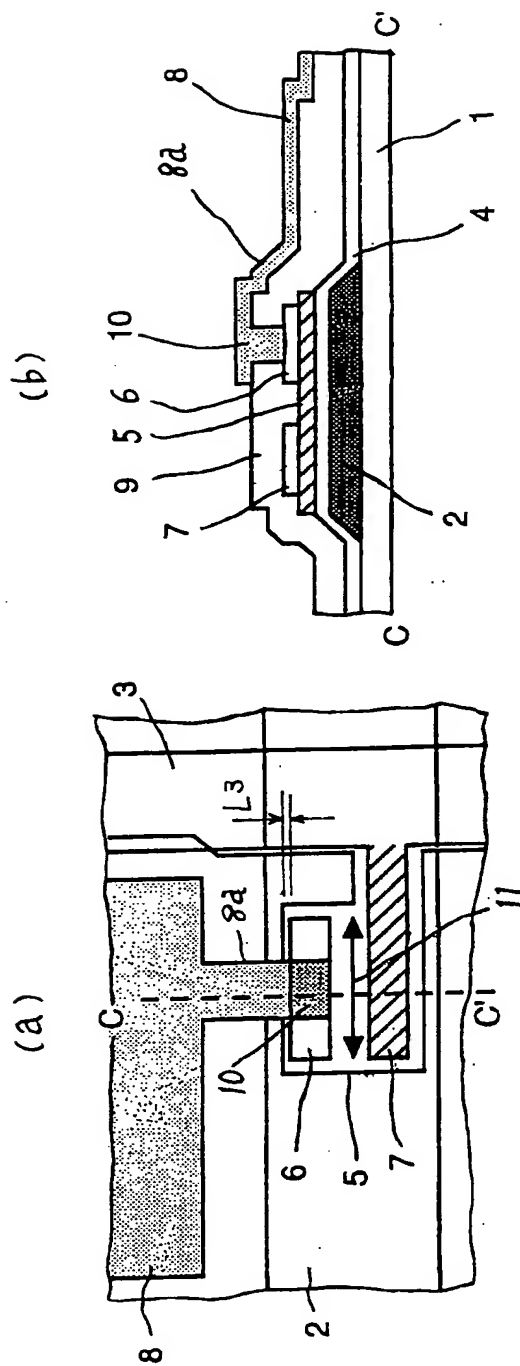
【図 3】 【Fig.3】



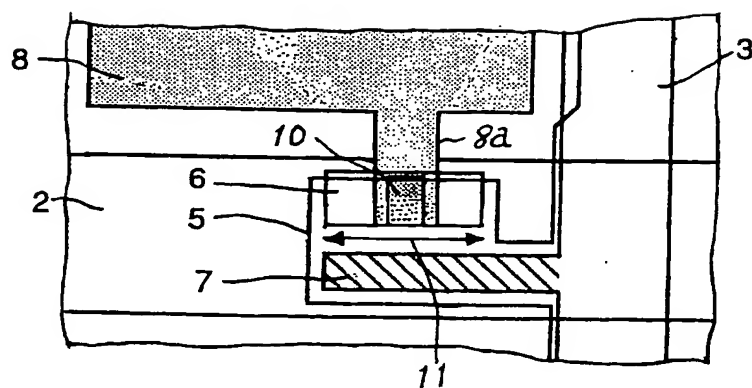
【図4】 【Fig.4】



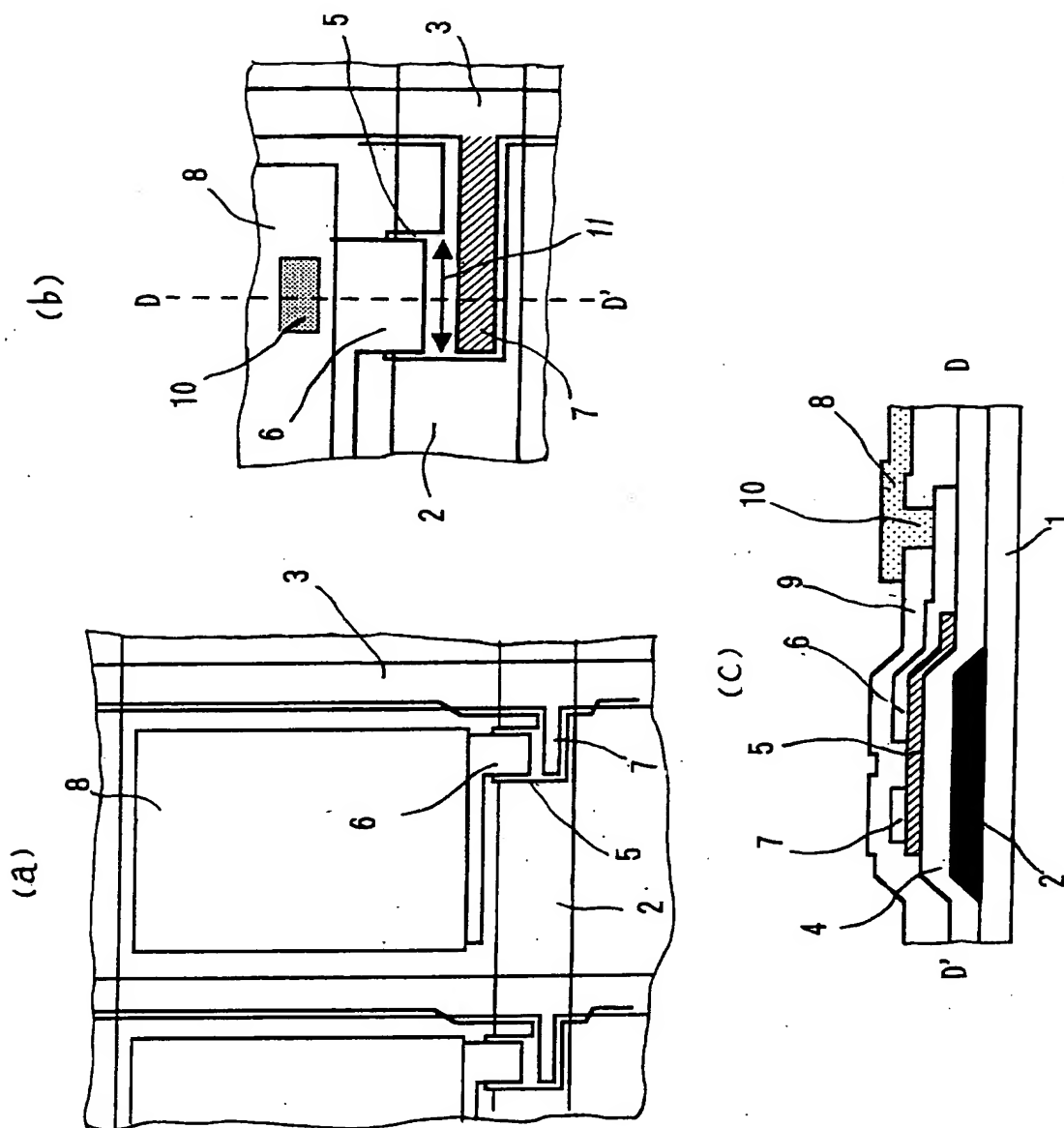
【図5】 【Fig.5】



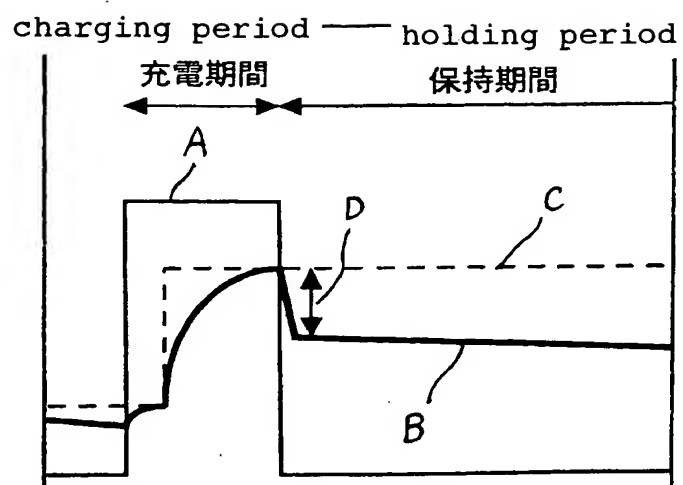
【図6】 【Fig.6】



【図7】 【Fig.7】



【図8】 【Fig.8】



【Document name】 Abstract of the disclosure

【Abstract】

【Problem】

It is to provide a TFT array substrate in which the frequency of occurrence of display defects such as shot unevenness and a flicker due to alignment errors in a photolithography apparatus in an array substrate manufacturing process can be omitted.

【Means to solve the problem】

The widths of those portions of a semiconductor layer 5 and a drain line 6a overlapping with it which cross an edge line of a gate electrode 2 are made smaller than the channel width of a thin-film transistor. With this measure, the overlap area of the gate electrode 2 and a drain electrode 6 is reduced. As a result, a variation of the above overlap area due to alignment errors in a photolithography apparatus used in patterning the gate lines 2, the drain electrodes 6, and source electrodes 7 can be reduced and the frequency of occurrence of display defects can be decreased.

【Selected drawing】 Fig.1

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2000年 6月27日
Date of Application:

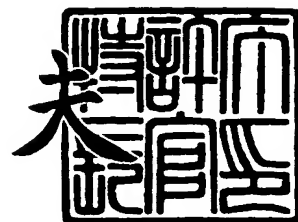
出願番号 特願2000-193453
Application Number:
[ST. 10/C]: [JP 2000-193453]

出願人 株式会社アドバンスト・ディスプレイ
Applicant(s):

2004年 6月 7日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2004-3049017

【書類名】 特許願

【整理番号】 A199070901

【提出日】 平成12年 6月27日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/136

【発明者】

 【住所又は居所】 熊本県菊池郡西合志町御代志 9 9 7 番地 株式会社アド
 バンスト・ディスプレイ内

 【氏名】 橋口 隆史

【発明者】

 【住所又は居所】 熊本県菊池郡西合志町御代志 9 9 7 番地 株式会社アド
 バンスト・ディスプレイ内

 【氏名】 山口 偉久

【発明者】

 【住所又は居所】 熊本県菊池郡西合志町御代志 9 9 7 番地 株式会社アド
 バンスト・ディスプレイ内

 【氏名】 中川 直紀

【特許出願人】

 【識別番号】 595059056

 【氏名又は名称】 株式会社アドバンスト・ディスプレイ

【代理人】

 【識別番号】 100073759

 【弁理士】

 【氏名又は名称】 大岩 増雄

【手数料の表示】

 【予納台帳番号】 035264

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9503153

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 T F T アレイ基板およびこれを用いた液晶表示装置

【特許請求の範囲】

【請求項 1】 絶縁性基板上に複数本形成されたゲート電極を備えたゲート配線、

上記ゲート配線と交差する複数本のソース電極を備えたソース配線、

上記ゲート電極上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続された上記ソース電極及びドレイン電極よりなる薄膜トランジスタ、

上記ドレイン電極から延びたドレイン配線に接続された画素電極を備えた T F T アレイ基板において、

上記半導体層およびこれに重なる上記ドレイン配線の上記ゲート電極端を跨ぐ部分の幅を、上記薄膜トランジスタのチャンネル幅である上記ドレイン電極幅よりも狭く設けたことを特徴とする T F T アレイ基板。

【請求項 2】 ドレイン電極およびドレイン配線は、ゲート電極上において半導体層と重ならない部分を有することを特徴とする請求項 1 記載の T F T アレイ基板。

【請求項 3】 絶縁性基板上に複数本形成されたゲート電極を備えたゲート配線、

上記ゲート配線と交差する複数本のソース電極を備えたソース配線、

上記ゲート電極上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続された上記ソース電極及びドレイン電極よりなる薄膜トランジスタ、

上記ドレイン電極に接続された画素配線を有する画素電極を備えた T F T アレイ基板において、

上記半導体層およびこれに重なる上記画素配線の上記ゲート電極端を跨ぐ部分の幅を、上記薄膜トランジスタのチャンネル幅である上記ドレイン電極幅よりも狭く設けたことを特徴とする T F T アレイ基板。

【請求項 4】 ドレイン電極および画素配線は、ゲート電極上において半導体層と重ならない部分を有することを特徴とする請求項 3 記載の T F T アレイ基板。

【請求項 5】 絶縁性基板上に複数本形成されたゲート電極を備えたゲート配線、

上記ゲート配線と交差する複数本のソース電極を備えたソース配線、

上記ゲート電極上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続された上記ソース電極及びドレイン電極よりなる薄膜トランジスタ、

上記ドレイン電極に接続された画素配線を有する画素電極を備えた TFT アレイ基板において、

上記画素配線の上記ゲート電極端を跨ぐ部分の幅を、上記薄膜トランジスタのチャネル幅である上記ドレイン電極幅よりも狭く設けたことを特徴とする TFT アレイ基板。

【請求項 6】 ドレイン電極は、ゲート電極上において半導体層と重ならない部分を有することを特徴とする請求項 5 記載の TFT アレイ基板。

【請求項 7】 請求項 1～請求項 6 のいずれか一項に記載の TFT アレイ基板と、透明電極およびカラーフィルタ等を有する対向電極基板または透明電極を有する対向電極基板の間に液晶が配置されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ（以後 TFT と記す）をスイッチング素子として搭載したアクティブマトリクス型の TFT アレイ基板およびこれを用いた液晶表示装置に関する。

【0002】

【従来の技術】

従来の TFT アレイ基板の構造を図 8 を用いて説明する。図 8（a）は従来の TFT アレイ基板の 1 画素を示す平面図、図 8（b）はスイッチング素子である TFT 部を示す平面図、図 8（c）は図 8（b）中 D-D' で示す部分の断面図である。図において、1 は透明絶縁性基板、2 は透明絶縁性基板 1 上に複数本形成されたゲート配線およびこのゲート配線に備えられたゲート電極、3 はゲート

配線 2 と交差する複数本のソース電極 7 を備えたソース配線、5 はゲート電極 2 上にゲート絶縁膜 4 を介して設けられた半導体層であり、この半導体層 5 に接続されたソース電極 7 及びドレイン電極 6 により TFT が構成されている。また、8 は透明導電膜よりなる画素電極で、層間絶縁膜 9 に設けられたコンタクトホール 10 を介してドレイン電極 6 に接続されている。なお、11 はチャネル幅を示している。

以下に、従来の TFT アレイ基板の製造方法を簡単に説明する。まず、透明絶縁性基板 1 上に、スパッタ法等により Cr 等からなる金属膜を堆積後、写真製版法等によりパターニングし、ゲート電極を備えたゲート配線 2 を形成する。次に、プラズマ CVD 法等によりゲート絶縁膜 4 と半導体層 5 を連続して堆積し、半導体層 5 をパターニングした後、金属膜を堆積しドレイン電極 6、ソース電極 7 およびソース配線 3 を形成する。次に、TFT を覆うように窒化シリコン等よりなる層間絶縁膜 9 を成膜し、コンタクトホール 10 を形成後、スパッタ法等により ITO 等の透明導電膜よりなる画素電極 8 を形成し、TFT アレイ基板が完成する。

【0003】

【発明が解決しようとする課題】

液晶表示装置は、上記の TFT アレイ基板と対向電極基板の間に配置された液晶を、アレイ基板上の画素電極 8 と対向電極に印加した電圧で制御することにより映像表示を行うものである。この時、画素電極 8 への印加電圧が表示エリア内で異なると、輝度ムラやショットムラ、フリッカー等の表示不良を起こす。

図 8 に画素電極電圧と各信号電圧の関係を示す。図において、A はゲート電極電圧、B は画素電極電圧、C はソース電極電圧を示している。ゲート電極電圧 A が TFT をオンさせる充電期間に、画素電極電圧 B がソース電極 7 に印加され、ドレイン電極 6 を介して画素電極 8 に伝達される。画素電極電圧 B は充電期間中にソース電極電圧 C に到達しているが、充電期間から保持期間へゲート電極電圧 A がターンオフするとき、容量カップリング等により画素電極電圧 B が低下している。この画素電極 8 の電圧降下はフィードスルー電圧 D であり、以下の式で簡易的に表せられる。なお、式中、 ΔV_{gd} ：フィードスルー電圧、 C_{gd} ：ゲート電

極とドレイン電極の寄生容量、 C_s : 画素電極の補助容量、 C_{lc} : 液晶容量をそれぞれ示している。

$$\Delta V_{gd} = \Delta V \times C_{gd} / (C_{lc} + C_s + C_{gd})$$

【0004】

表示エリア内でフィードスルー電圧に差が起る原因のひとつに、ゲート電極 2 とドレイン電極 6 の寄生容量（以下 C_{gd} と記す）の変動がある。画素や TFT がマトリクス状に配置されているアレイ基板は、写真製版法を用いて各パターンを形成しており、複数のショットを適用して 1 つの工程が完了する。各ショットにおいて写真製版装置のアライメントずれが生じた場合、ゲート電極 2、半導体層 5、ソース電極 7 およびドレイン電極 6 等のパターン配置関係が各ショット間で異なる。このためゲート電極 2 とドレイン電極 6 の重なり面積によって決定される C_{gd} がショット間で異なり、その結果各ショット間でフィードスルー電圧に差が生じ、ショットムラやフリッカー等が視認され易くなる。また、ゲート電極電圧 A がターンオフされるまで、ゲート電極 2 上のドレイン電極 6 の外部に形成された半導体層 5 がドレイン電極 6 と同電位になり、これも C_{gd} 変動に寄与している。

図 8 に示す従来の TFT 構造では、TFT のチャネル幅 11 に平行な方向へのアライメントずれによるゲート配線 2 とドレイン電極 6 および半導体層 5 の重なり面積の変動は小さいが、チャネル幅 11 に垂直な方向へのアライメントずれに対しては配慮がなされておらず面積の変動が大きいという問題があった。さらに、従来構造では、ゲート配線 2 に対する負荷容量が大きく、低減することが望ましかった。

また、例えば特開平 2-10331 号公報では、ゲート電極により生じる段差部上でゲート絶縁膜を介して設けられるドレイン電極の段差部上の長さを、他の部分のドレイン電極幅よりも狭くすることにより、段差部に起因する上下層の短絡発生を低減した TFT アレイ基板が提案されているが、同段差部上の半導体層の幅については記載されていなかった。

【0005】

本発明は、上記のような問題点を解消するためになされたもので、アレイ基板

製造工程における写真製版装置のアライメントずれに起因するショットムラやフリッカー等の表示不良が低減されると共に、ゲート配線に対する負荷容量が低減される高開口率のTFTアレ基板およびこれを用いた液晶表示装置を得ることを目的とする。

【0006】

【課題を解決するための手段】

本発明に係わるTFTアレ基板は、絶縁性基板上に複数本形成されたゲート電極を備えたゲート配線と、このゲート配線と交差する複数本のソース電極を備えたソース配線と、ゲート電極上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続されたソース電極及びドレイン電極よりなる薄膜トランジスタと、ドレイン電極から延びたドレイン配線に接続された画素電極を備えたTFTアレ基板において、半導体層およびこれに重なるドレイン配線のゲート電極端を跨ぐ部分の幅を、薄膜トランジスタのチャンネル幅であるドレイン電極幅よりも狭く設けたものである。

さらに、ドレイン電極およびドレイン配線は、ゲート電極上において半導体層と重ならない部分を有するものである。

【0007】

また、絶縁性基板上に複数本形成されたゲート電極を備えたゲート配線と、このゲート配線と交差する複数本のソース電極を備えたソース配線と、ゲート電極上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続されたソース電極及びドレイン電極よりなる薄膜トランジスタと、ドレイン電極に接続された画素配線を有する画素電極を備えたTFTアレ基板において、半導体層およびこれに重なる画素配線のゲート電極端を跨ぐ部分の幅を、薄膜トランジスタのチャンネル幅であるドレイン電極幅よりも狭く設けたものである。

さらに、ドレイン電極および画素配線は、ゲート電極上において半導体層と重ならない部分を有するものである。

【0008】

また、絶縁性基板上に複数本形成されたゲート電極を備えたゲート配線と、このゲート配線と交差する複数本のソース電極を備えたソース配線と、ゲート電極

上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続されたソース電極及びドレイン電極よりなる薄膜トランジスタと、ドレイン電極に接続された画素配線を有する画素電極を備えたTFTアレイ基板において、画素配線のゲート電極端を跨ぐ部分の幅を、薄膜トランジスタのチャネル幅であるドレイン電極幅よりも狭く設けたものである。

さらに、ドレイン電極は、ゲート電極上において半導体層と重ならない部分を有するものである。

【0009】

また、本発明に係わる液晶表示装置は、上記いずれかのTFTアレイ基板と、透明電極およびカラーフィルタ等を有する対向電極基板または透明電極を有する対向電極基板の間に液晶が配置されているものである。

【0010】

【発明の実施の形態】

実施の形態1.

以下に、本発明の実施の形態を図面に基づいて説明する。図1(a)は、本発明の実施の形態1におけるTFTアレイ基板のスイッチング素子であるTFT部を示す平面図、図1(b)は図1(a)中A-A'で示す部分の断面図である。図において、1は透明絶縁性基板、2は透明絶縁性基板1上に複数本形成されたゲート配線およびこのゲート配線に備えられたゲート電極、3はゲート配線2と交差する複数本のソース配線で、ソース電極7を備えている。5はゲート電極2上にゲート絶縁膜4を介して設けられた半導体層であり、この半導体層5に接続されたソース電極7及びドレイン電極6によりTFTが構成されている。また、8は透明導電膜よりなる画素電極で、層間絶縁膜9に設けられたコンタクトホール10を介してドレイン電極6から延びたドレイン配線6aに接続されている。また、11はTFTのチャネル幅を示している。本実施の形態では、半導体層5およびこれに重なるドレイン配線6aのゲート電極2端を跨ぐ部分の幅を、TFTのチャネル幅11であるドレイン電極6の幅よりも狭く設けたものである。

【0011】

本実施の形態におけるTFTアレイ基板の製造方法を簡単に説明する。まず、

透明絶縁性基板 1 上に、スパッタ法等により Cr 等からなる金属膜を堆積後、写真製版法等によりレジストを露光後パターンニングし、ゲート電極を備えたゲート配線 2 を形成する。次に、プラズマ CVD 法等によりゲート絶縁膜 4 と半導体層 5 を連続して堆積し、半導体層 5 をパターンニングした後、Cr 等からなる金属膜をスパッタ法等により堆積し、ドレイン電極 6 及びドレイン配線 6 a、ソース配線 3 およびソース電極 7 を形成する。次に、TFT を覆うように窒化シリコン等よりなる層間絶縁膜 9 を成膜し、ドレイン配線 6 a と画素電極 8 を接続するコンタクトホール 10 を形成後、スパッタ法等により ITO 等の透明導電膜を成膜し、画素電極 8 をパターン形成して本実施の形態における TFT アレイ基板が完成する。さらに、この TFT アレイ基板と、透明電極およびカラーフィルタ等を有する対向電極基板または透明電極を有する対向電極基板の間に液晶を配置することにより、本実施の形態における液晶表示装置が得られる。

【0012】

本実施の形態では、半導体層 5 およびこれに重なるドレイン配線 6 a のゲート電極 2 端を跨ぐ部分の幅を、TFT のチャネル幅 11 であるドレイン電極 6 の幅よりも狭く設けた。これにより、ゲート電極 2、ドレイン電極 6 およびソース電極 7 をパターン形成する際に用いる写真製版装置のアライメントずれにより生じる各ショット間のゲート電極 2 とドレイン電極 6 の重なり面積の差が、従来の TFT 構造（図 7（b）参照）に比べ小さくなるため、フィードスルー電圧のパラメータである Cgd の変動を低減でき、ショットムラやフリッカー等の表示不良の発生を抑制できる。また、Cgd に寄与するゲート電極 2 端を跨ぐ半導体層 5 の幅も狭く設けることにより、Cgd 変動を防ぐことができる。特に、従来の TFT 構造では、チャネル幅に平行な方向のアライメントずれしか考慮されていなかったが、本実施の形態では垂直方向のアライメントずれを考慮したことにより、あらゆる方向のアライメントずれによる Cgd の変動を低減できるものである。

なお、ゲート電極 2 上に形成された半導体層 5 は Cgd に寄与しており、図 1（a）中 L1 で示すドレイン電極 6 の一辺と半導体層 5 の一辺の距離について、L1 が約 5 μ m 以上になると半導体層 5 に起因するフィードスルー電圧が急激に増加するため、L1 は 5 μ m 以下に設計することが望ましい。

また、従来の T F T 構造では、ドレイン電極 6 がゲート絶縁膜 4 を介してゲート電極 2 端を跨ぐ段差部分において、ゲート電極 2 とドレイン電極 6 の短絡が発生しやすいという問題があったが、本実施の形態ではドレイン配線 6 a を採用することにより段差部分におけるドレイン電極の幅を狭くしたので、短絡の発生確率が減少し、さらにドレイン配線 6 a の膜厚を厚くすることにより断線も防止できる。

【0013】

実施の形態 2.

図 2 は、本発明の実施の形態 2 における T F T アレイ基板のスイッチング素子である T F T 部を示す平面図である。図中、同一、相当部分には同一符号を付し、説明を省略する。

本実施の形態では、上記実施の形態 1 と同様に、半導体層 5 およびこれに重なるドレイン配線 6 a のゲート電極 2 端を跨ぐ部分の幅を、T F T のチャネル幅 1 1 であるドレイン電極 6 の幅よりも狭く設け、さらに、ドレイン電極 6 およびドレイン配線 6 a がゲート電極 2 上において半導体層 5 と重ならない部分を有するようにした。これにより、ゲート電極 2 上においてドレイン電極 6 からはみ出した半導体層 5 の面積を上記実施の形態 1 よりも小さくしている。

【0014】

上記実施の形態 1 に示した T F T 構造（図 1（a））では、ゲート電極 2 上において、ドレイン電極 6 からはみ出した半導体層 5 の面積が大きいため、フィードスルー電圧に影響を与える可能性がある。そこで、本実施の形態では、ゲート電極 2 上においてドレイン電極 6 及びドレイン配線 6 a の一部を半導体層 5 と重ならないように配置し、ドレイン電極 6 からはみ出した半導体層 5 すなわちドレイン電極 6 と同電位になる半導体層 5 の面積を小さくすることで、フィードスルー電圧のパラメーターである C_{gd} の値がドレイン電極 6 とゲート電極 2 の重なり面積でほぼ決定されるようにしたものである。

【0015】

本実施の形態によれば、上記実施の形態 1 と同様の効果に加え、ドレイン電極 6 からはみ出した半導体層 5 の面積を小さくすることにより、 C_{gd} に寄与するド

レイン電極 6 からはみ出した半導体層 5 とゲート電極 2 で形成される容量を小さくすることができるため、フィードスルー電圧の増加を抑制でき、ショットムラやフリッカーの発生をさらに抑制できる。

【0016】

実施の形態 3.

図 3 (a) は、本発明の実施の形態 3 における T F T アレイ基板のスイッチング素子である T F T 部を示す平面図、図 3 (b) は図 3 (a) 中 B-B' で示す部分の断面図である。図において、8 a は画素電極 8 から延びてドレイン電極 6 に接続された画素配線である。なお、図中、同一、相当部分には同一符号を付している。また、本実施の形態における T F T アレイ基板の製造方法は、画素配線 8 a を有する画素電極 8 をパターン形成し、コンタクトホール 10 にてドレイン電極 6 と画素配線 8 a を接続する以外は上記実施の形態 1 とほぼ同様であるため説明を省略する。

【0017】

本実施の形態では、T F T のドレイン電極 6 をゲート電極 2 上の半導体層 5 上に設け、このドレイン電極 6 上にコンタクトホール 10 を設け、ドレイン電極 6 と画素配線 8 a を電氣的に接続した T F T アレイ基板において、半導体層 5 およびこれに重なる画素配線 8 a のゲート電極 2 端を跨ぐ部分の幅を、T F T のチャネル幅 11 であるドレイン電極 6 の幅よりも狭く設けたものである。これにより、従来の T F T 構造 (図 7 (b) 参照) に比べ、写真製版装置のアライメントずれにより生じる各ショット間のゲート電極 2 とドレイン電極 6 (および画素配線 8 a) の重なり面積の差が小さくなるため、フィードスルー電圧のパラメータである Cgd の変動を低減でき、ショットムラやフリッカーの発生を抑制できる。

なお、ゲート電極 2 上に形成された半導体層 5 は Cgd に寄与しており、図 3 (a) 中 L2 で示すドレイン電極 6 の一辺と半導体層 5 の一辺の距離について、L2 が約 5 μ m 以上になると半導体層 5 に起因するフィードスルー電圧が急激に増加するため、L2 は 5 μ m 以下に設計することが望ましい。

【0018】

実施の形態 4

図4は、本発明の実施の形態4におけるTF Tアレ基板のスイッチング素子であるTF T部を示す平面図である。図中、同一、相当部分には同一符号を付し、説明を省略する。

本実施の形態では、上記実施の形態3と同様に、半導体層5およびこれに重なる画素配線8aのゲート電極2端を跨ぐ部分の幅を、TF Tのチャンネル幅11であるドレイン電極6の幅よりも狭く設け、さらに、ドレイン電極6および画素配線8aがゲート電極2上において半導体層5と重ならない部分を有するようにした。これにより、ゲート電極2上においてドレイン電極6および画素配線8aからはみ出した半導体層5の面積を上記実施の形態3よりも小さくしている。

本実施の形態によれば、上記実施の形態3と同様の効果に加え、Cgdの要因となるドレイン電極6および画素配線8aからはみ出した半導体層5とゲート電極2で形成される容量を小さくすることができるため、フィードスルー電圧の増加を抑制でき、ショットムラやフリッカーの発生をさらに抑制できる。

【0019】

実施の形態5.

図5(a)は、本発明の実施の形態5におけるTF Tアレ基板のスイッチング素子であるTF T部を示す平面図、図5(b)は図5(a)中C-C'で示す部分の断面図である。図中、同一、相当部分には同一符号を付し説明を省略する。

本実施の形態では、TF Tのドレイン電極6をゲート電極2上の半導体層5上に設け、このドレイン電極6上にコンタクトホール10を設け、ドレイン電極6と画素配線8aを電氣的に接続したTF Tアレ基板において、画素配線8aのゲート電極2端を跨ぐ段差部分の幅を、TF Tのチャンネル幅11であるドレイン電極6の幅よりも狭く設けたものである。これにより、従来のTF T構造(図7(b)参照)に比べ、写真製版装置のアライメントずれにより生じる各ショット間のゲート電極2とドレイン電極6(および画素配線8a)の重なり面積の差が小さくなるため、フィードスルー電圧のパラメータであるCgd変動を低減でき、ショットムラやフリッカーの発生を抑制できる。

なお、ゲート電極2上に形成された半導体層5はCgdに寄与しており、図5(

a) 中 L 3 で示すドレイン電極 6 の一辺と半導体層 5 の一辺の距離について、L 3 が約 $5\ \mu\text{m}$ 以上になると半導体層 5 に起因するフィードスルー電圧が急激に増加するため、L 3 は $5\ \mu\text{m}$ 以下に設計することが望ましい。

【0020】

実施の形態 6.

図 7 は、本発明の実施の形態 6 における T F T アレイ基板のスイッチング素子である T F T 部を示す平面図である。図中、同一、相当部分には同一符号を付し、説明を省略する。

本実施の形態では、上記実施の形態 5 と同様に、画素配線 8 a のゲート電極 2 端を跨ぐ部分の幅を、T F T のチャンネル幅 1 1 であるドレイン電極 6 の幅よりも狭く設け、さらに、ドレイン電極 6 がゲート電極 2 上において半導体層 5 と重ならない部分を有するようにした。これにより、ゲート電極 2 上においてドレイン電極 6 からはみ出した半導体層 5 の面積を上記実施の形態 5 よりも小さくしている。

本実施の形態によれば、上記実施の形態 5 と同様の効果に加え、Cgd に寄与するドレイン電極 6 からはみ出した半導体層 5 とゲート電極 2 で形成される容量を小さくすることができるため、フィードスルー電圧の増加を抑制でき、ショットムラやフリッカーの発生をさらに抑制できる。

【0021】

なお、上記実施の形態 1 ～実施の形態 6 におけるドレイン電極 6、ドレイン配線 6 a および画素配線 8 a、半導体層 5 の形状は、図に示す形状に限定されるものではなく、ドレイン配線 6 a または画素配線 8 a のゲート電極 2 端を跨ぐ部分の幅が T F T のチャンネル幅 1 1 であるドレイン電極 6 の幅よりも狭く設けられていれば、任意のパターンでも同様の効果が期待できる。

また、T F T を形成するゲート電極 2、半導体層 5 およびドレイン電極 6 のパターンを設計するにあたり、ショット間のアライメントずれ発生によるフィードスルー電圧の変化を約 $150\ \text{mV}$ 以下にすることが望ましい。

また、本発明は上記実施の形態 1 ～実施の形態 6 で説明した T F T 構造にのみ適用されるものではなく、例えば、ゲート配線から突起状に引き出されたゲート

電極上にドレイン電極およびソース電極を形成して構築したTFTにおいても、ゲート電極による段差部上の画素と電氣的に接続されているドレイン配線または画素配線等の金属パターンと半導体層の幅をTFTのチャンネル幅よりも狭く設けることにより、同様の効果が得られる。

【0022】

【発明の効果】

以上のように、本発明によれば、絶縁性基板上に複数本形成されたゲート電極を備えたゲート配線と、このゲート配線と交差する複数本のソース電極を備えたソース配線と、ゲート電極上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続されたソース電極及びドレイン電極よりなる薄膜トランジスタと、ドレイン電極から延びたドレイン配線に接続された画素電極を備えたTFTアレイ基板において、半導体層およびこれに重なるドレイン配線のゲート電極端を跨ぐ部分の幅を、薄膜トランジスタのチャンネル幅であるドレイン電極幅よりも狭く設けたので、ゲート配線、ドレイン電極およびソース電極をパターン形成する際に用いる写真製版装置のアライメントずれにより生じる各ショット間のゲート電極とドレイン電極の重なり面積の差が小さくなり、これによりフィードスルー電圧のパラメーターであるゲート電極とドレイン電極の寄生容量の変動を低減できるため、ショットムラやフリッカー等の表示不良の発生を抑制できる。

【0023】

また、ドレイン電極およびドレイン配線がゲート電極上において半導体層と重ならない部分を有するようにし、これによりゲート電極上においてドレイン電極およびドレイン配線からはみ出した半導体層の面積を小さくしたので、ドレイン電極からはみ出した半導体層とゲート電極で形成される容量が小さくなり、フィードスルー電圧にほとんど影響を与えないため、ショットムラやフリッカー等の表示不良の発生をさらに抑制できる。また、本発明によれば、従来のTFT構造よりもゲート配線に対する負荷容量を低減することができる。さらに、画素配線を採用することにより、従来よりも高開口率のTFTアレイ基板を得ることができ、表示特性に優れた液晶表示装置が得られる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 である T F T アレイ基板の構造を示す平面図および断面図である。

【図 2】 本発明の実施の形態 2 である T F T アレイ基板の構造を示す平面図である。

【図 3】 本発明の実施の形態 3 である T F T アレイ基板の構造を示す平面図および断面図である。

【図 4】 本発明の実施の形態 4 である T F T アレイ基板の構造を示す平面図である。

【図 5】 本発明の実施の形態 5 である T F T アレイ基板の構造を示す平面図および断面図である。

【図 6】 本発明の実施の形態 6 である T F T アレイ基板の構造を示す平面図である。

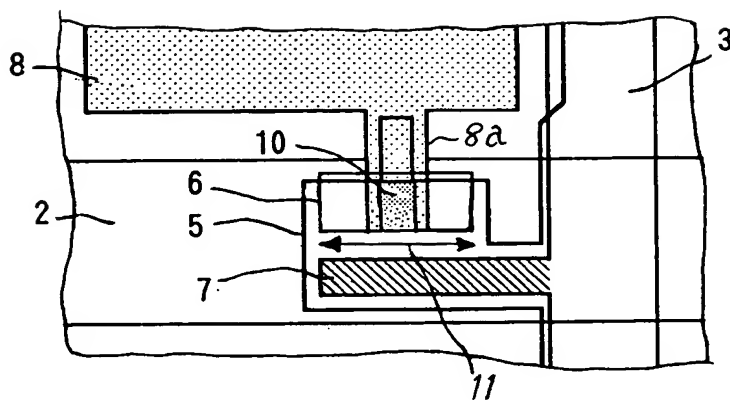
【図 7】 従来の T F T アレイ基板の構造を示す平面図および断面図である。

【図 8】 画素電極電圧と各信号電圧の関係を示す図である。

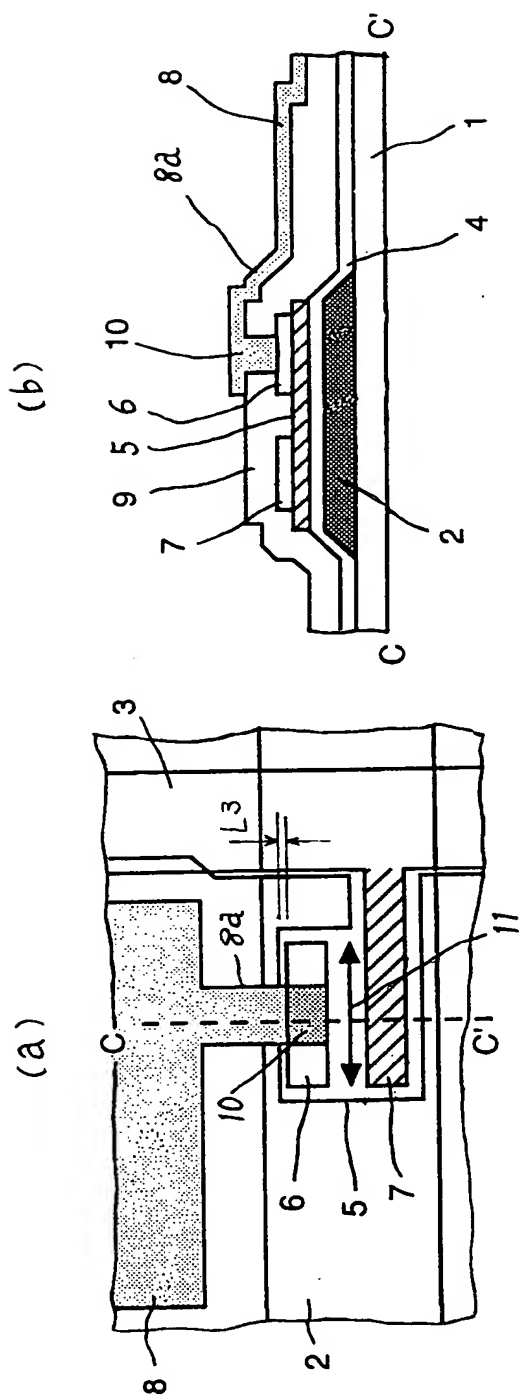
【符号の説明】

- 1 透明絶縁性基板、 2 ゲート電極およびゲート配線、 3 ソース配線、
- 4 ゲート絶縁膜、 5 半導体層、 6 ドレイン電極、 6 a ドレイン配線、
- 7 ソース電極、 8 画素電極、 8 a 画素配線、 9 層間絶縁膜、
- 1 0 コントクトホール、 1 1 チャネル幅。

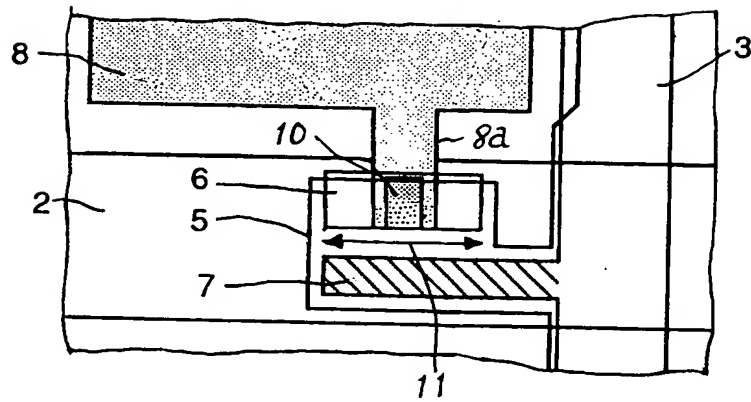
【図 4】



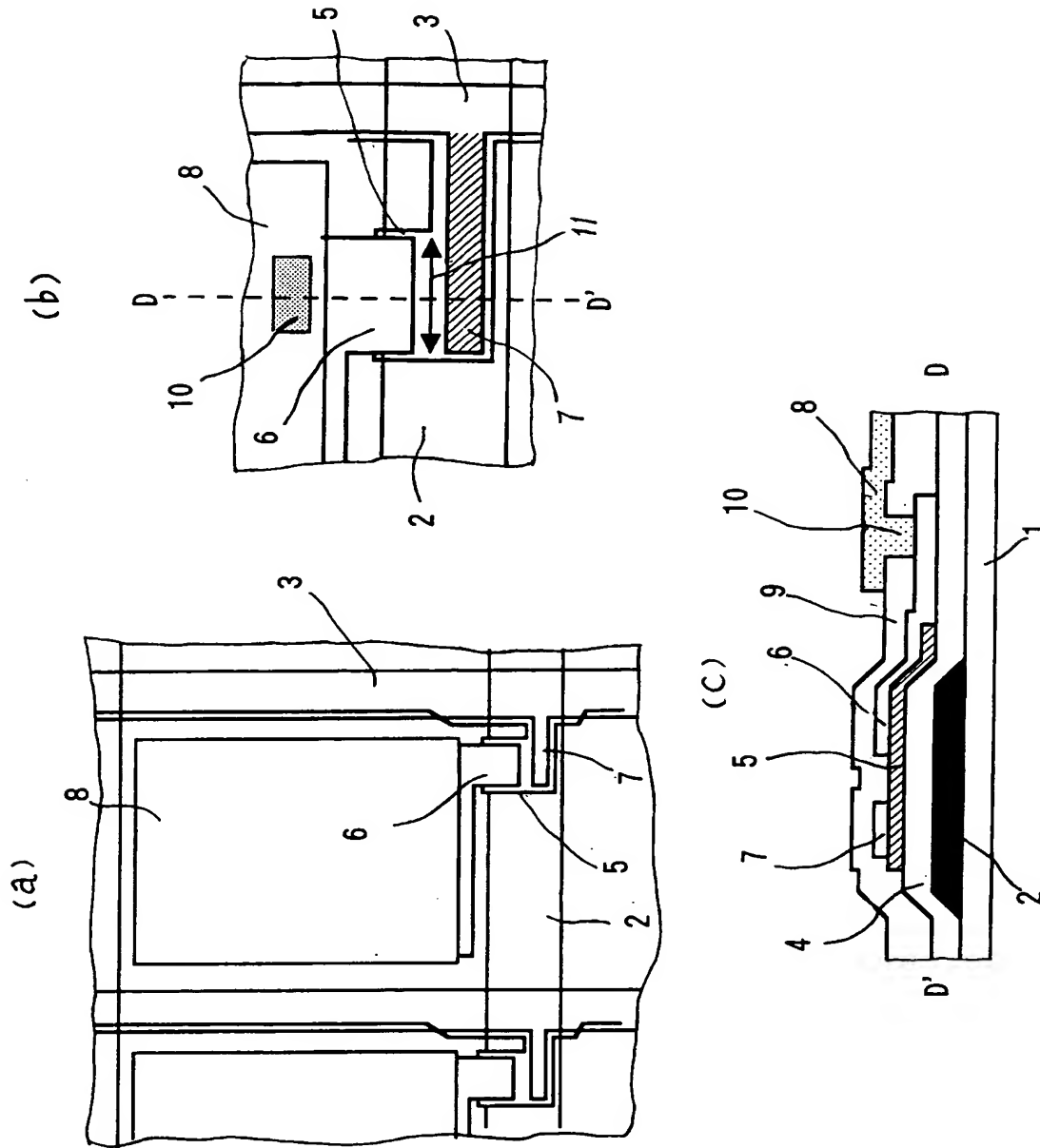
【図 5】



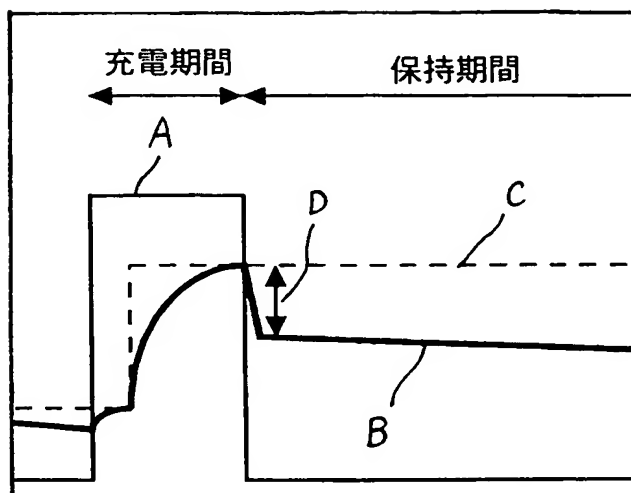
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 製造工程における写真製版装置のアライメントずれに起因するショットムラやフリッカー等の表示不良が発生しない T F T アレイ基板を得る。

【解決手段】 半導体層 5 およびこれに重なるドレイン配線 6 a のゲート電極 2 端を跨ぐ部分の幅を、薄膜トランジスタのチャンネル幅 1 5 であるドレイン電極 6 の幅よりも狭く設けた。これにより、ゲート配線 2、ドレイン電極 6 およびソース電極 7 をパターン形成する際に用いる写真製版装置のアライメントずれにより生じる各ショット間のゲート電極 2 とドレイン電極 6 の重なり面積の差が、従来の T F T 構造（図 8）よりも小さくなり、フィードスルー電圧のパラメーターであるゲート電極とドレイン電極の寄生容量の変動を低減できるため、ショットムラやフリッカー等の表示不良の発生を抑制できる。

【選択図】 図 1

特願 2 0 0 0 - 1 9 3 4 5 3

出 願 人 履 歴 情 報

識別番号

[5 9 5 0 5 9 0 5 6]

1. 変更年月日

1 9 9 5 年 4 月 2 1 日

[変更理由]

新規登録

住 所

熊本県菊池郡西合志町御代志 9 9 7 番地

氏 名

株式会社アドバンスト・ディスプレイ